

## EDA Online

### 【EDSF 2008】バラつき考慮のアナログ回路最適化ツールの独 MunEDA, 5年間で500設計に適用の実績

2008/01/27 02:44

独ミュンヘンに本社を置くMunEDA GmbHは、1月24日と25日にパシフィコ横浜で開催された「EDSFair 2008」に出展し、バラつきを考慮したアナログ回路の解析と最適化を実行するEDAツール「WiCkeD」の最新の状況などを説明した。WiCkeDは2002年から出荷を始め、これまでに500設計以上に適用されたという。

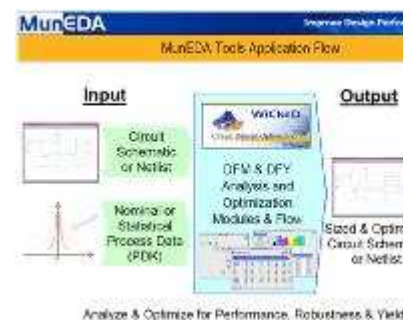
同ツールは、オペアンプやPLL, コンパレータ, センス・アンプといった、10~200トランジスタ程度のアナログ回路ブロックへ適用されている。入力は、トランジスタ・レベルの回路情報と、バラつき分布付きのプロセス情報 (PDK) である。外付けの回路シミュレータを使って、回路の最適化やプロセス変更/アップデート時の回路の設計変更を支援する。出力は最適化された回路情報である (パラメータが変更されたり, 素子が追加されたりする)。なおWiCkeD自体は回路シミュレータを内蔵していない。

WiCkeDは、ベース・パッケージ, 各種解析機能, 各種最適化機能からなる。さらに、回路シミュレータなどの他社のEDAツールとのインタフェース機能を備える。ベース・パッケージは解析や最適化を含めて各種パラメータや制約条件の設定, GUIなどを含む。解析機能としては、ノミナル診断, パラメータ・スクリーニング, ワorst・ケース解析, モンテカルロ解析, データミニスティク・ミスマッチ解析などがある。最適化機能には、フィジビリティ最適化やデータミニスティク・ノミナル最適化, グローバル・ノミナル最適化, 歩留まり最適化などがある。

ユーザーは、ツールの利用目的に応じて、ベース・パッケージに解析機能と最適化機能を組み合わせて使う。例えば、微細プロセス向けの「DFY」という統計解析・最適化のフローでは、ベース・パッケージにモンテカルロ解析, ワorst・ケース解析, データミニスティク・ミスマッチ解析, 歩留まり最適化機能を組



ブースの前に立つ  
MunEDAの面々 左から3  
人目がPresident & CEO  
のHarald Neubauer氏。  
日経マイクロデバイス  
が撮影。



WiCkeDの入出力  
DFM/DFYツールという  
が、レイアウト設計に  
はタッチせず、アナロ  
グ回路のトランジス  
タ・レベル設計を支援  
する。MunEDAのデー  
タ。

